

DIALOG(R) File 351:Derwent WPI
(c) 2006 Thomson Derwent. All rts. reserv.

015347313 **Image available**

WPI Acc No: 2003-408251/200339

XRPX Acc No: N03-325526

Constant-current circuit for facsimile, controls gate potentials of NMOS transistors and drive transistor, so that drain potentials are substantially equal and current flowing through load is fixed

Patent Assignee: CANON KK (CANO)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2003058264	A	20030228	JP 2001244663	A	20010810	200339 B

Priority Applications (No Type Date): JP 2001244663 A 20010810

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2003058264	A	13	G05F-003/26	

Abstract (Basic): JP 2003058264 A

NOVELTY - The constant-current circuit has a pair of PMOS transistors (104,105) and a pair of NMOS transistors (106,107), whose drains are mutually connected, comprising a current mirror circuit. The gate potentials of the NMOS transistors and an NMOS drive transistor (102) are controlled, so that the corresponding drain potentials are equal. The electric current flowing through a load (101) from a constant current source (103), is fixed.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are also included for the following:

- (1) recording element substrate; and
- (2) recording device.

USE - For printer, facsimile used with word processor, personal computer, etc.

ADVANTAGE - Prevents electric current fluctuation due to the influence of temperature characteristics of the drive transistor or wiring resistance, without using the expensive power supply.

DESCRIPTION OF DRAWING(S) - The figure shows a circuit diagram of the constant-current circuit.

load (101)

NMOS drive transistor (102)

constant current source (103)

PMOS transistor (104,105)

NMOS transistor (106,107)

pp; 13 DwgNo 1/13

Title Terms: CONSTANT; CURRENT; CIRCUIT; FACSIMILE; CONTROL; GATE; POTENTIAL; NMOS; TRANSISTOR; DRIVE; TRANSISTOR; SO; DRAIN; POTENTIAL; SUBSTANTIAL; EQUAL; CURRENT; FLOW; THROUGH; LOAD; FIX

Derwent Class: P75; T01; T04; U21; U24

International Patent Class (Main): G05F-003/26

International Patent Class (Additional): B41J-002/01; G05F-001/56;

H03F-001/30; H03K-017/14

File Segment: EPI; EngPI

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-58264

(P2003-58264A)

(43) 公開日 平成15年2月28日 (2003.2.28)

(51) Int.Cl. ⁷	識別記号	F I	テームコード*(参考)
G 0 5 F 3/26		G 0 5 F 3/26	2 C 0 5 6
B 4 1 J 2/01		1/56	3 1 0 T 5 H 4 2 0
G 0 5 F 1/56	3 1 0	H 0 3 F 1/30	A 5 H 4 3 0
H 0 3 F 1/30		H 0 3 K 17/14	5 J 0 5 5
H 0 3 K 17/14		B 4 1 J 3/04	1 0 1 Z 5 J 0 9 0
審査請求 未請求 請求項の数13 O L (全 13 頁)			

(21) 出願番号 特願2001-244663(P2001-244663)

(22) 出願日 平成13年8月10日 (2001.8.10)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 丸 博之

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(72) 発明者 川崎 素明

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(74) 代理人 100076428

弁理士 大塚 康徳 (外3名)

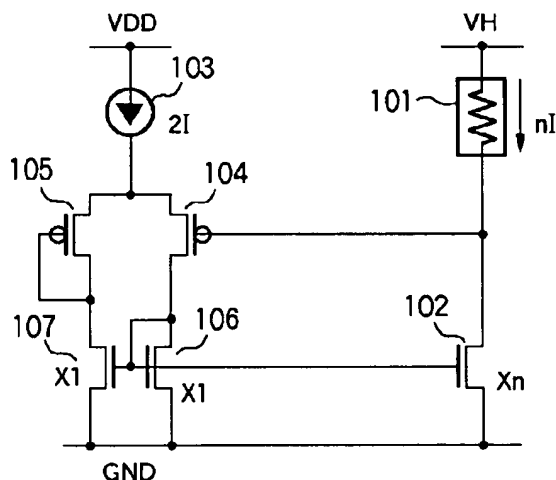
最終頁に続く

(54) 【発明の名称】 定電流回路、記録素子基板及び記録装置

(57) 【要約】

【課題】 温度変化や駆動素子の特性に影響されず、負荷に流れる電流を一定とする。

【解決手段】 負荷101と、負荷に直列に接続された駆動用トランジスタ102と、定電流源103と、PMOS差動対を構成し、それぞれのソースが定電流源103の出力に共通に接続され、それぞれのドレインがカレントミラー回路を構成するNMOSTランジスタ106及び107のドレインにそれぞれ接続されたPMOSTランジスタ104及び105とを設け、駆動用トランジスタ102のドレインの電位を一定とすることにより、負荷101に流れる電流を一定とする。



【特許請求の範囲】

【請求項1】 負荷と、

前記負荷に直列に接続された駆動用トランジスタと、
定電流源と、ソースが前記定電流源に接続され、ゲートが前記負荷の一端及び前記駆動用トランジスタのドレインに接続された第1のトランジスタと、ゲート及びドレインが前記第1のトランジスタのドレイン及び前記駆動用トランジスタのゲートに接続された第2のトランジスタとを含み、ソースが前記定電流源及び前記第1のトランジスタのソースに接続された第3のトランジスタと、ドレインが前記第3のトランジスタのゲート及びドレインに接続され、ゲートが前記第2のトランジスタのゲート及びドレイン、前記駆動用トランジスタのゲートに接続された第4のトランジスタとを含み、前記駆動トランジスタのドレイン電位と第4のトランジスタのドレイン電位が実質的に同じになるように、前記駆動トランジスタのゲートと第4トランジスタのゲート電位を共通に制御して、前記負荷に流れる電流を一定とする電流調整回路と、を備えることを特徴とする定電流回路。

【請求項2】 前記第2及び第4のトランジスタと前記駆動用トランジスタとのサイズの比が1対 n であり、前記定電流源から出力される電流値を $2I$ としたとき、前記負荷に流れる電流値が nI であることを特徴とする請求項1に記載の定電流回路。

【請求項3】 前記負荷の他端が電源に接続され、前記駆動用トランジスタのソース、前記第2及び第4のトランジスタのソースが接地されていることを特徴とする請求項1又は2に記載の定電流回路。

【請求項4】 前記駆動用トランジスタ、前記第2及び第4のトランジスタがN型MOSトランジスタであり、前記第1のトランジスタがP型MOSトランジスタであることを特徴とする請求項3に記載の定電流回路。

【請求項5】 前記負荷の他端が接地され、前記駆動用トランジスタのソース、前記第2及び第4のトランジスタのソースが電源に接続されていることを特徴とする請求項1又は2に記載の定電流回路。

【請求項6】 前記駆動用トランジスタ、前記第2及び第4のトランジスタがP型MOSトランジスタであり、前記第1のトランジスタがN型MOSトランジスタであることを特徴とする請求項5に記載の定電流回路。

【請求項7】 前記負荷が、抵抗素子、及び電荷量に比例して発光量を制御できる電荷注入型発光素子のいずれかであることを特徴とする請求項1から6のいずれか1項に記載の定電流回路。

【請求項8】 前記電荷注入型発光素子が、LED及びEL素子のいずれかであることを特徴とする請求項7に記載の定電流回路。

【請求項9】 前記N型MOSトランジスタの代わりに、NPNバイポーラトランジスタ、P型MOSトランジスタの代わりにPNPバイポーラトランジスタを用い

たことを特徴とする請求項4又は6に記載の定電流回路。

【請求項10】 複数の記録素子と、

各記録素子に対応して設けられ、それぞれの記録素子を駆動する前記複数の駆動用トランジスタと、
選択された記録素子に対応する駆動用トランジスタを通電させるスイッチ手段と、
定電流源と、ソースが前記定電流源に接続され、ゲートが前記スイッチ手段を介して選択された記録素子の一端及び該記録素子に対応する駆動用トランジスタのドレインに接続される第1のトランジスタと、ゲート及びドレインが前記スイッチ手段を介して前記第1のトランジスタのドレイン及び前記選択された記録素子に対応する駆動用トランジスタのゲートに接続される第2のトランジスタとを含み、ソースが前記定電流源及び前記第1のトランジスタのソースに接続された第3のトランジスタと、ドレインが前記第3のトランジスタのゲート及びドレインに接続され、ゲートが前記第2のトランジスタのゲート及びドレイン、前記駆動用トランジスタのゲートに接続された第4のトランジスタとを含み、前記選択された記録素子に対応し、前記駆動トランジスタのドレイン電位と第4のトランジスタのドレイン電位が実質的に同じになるように、前記駆動トランジスタのゲートと第4トランジスタのゲート電位を共通に制御して、前記選択された記録素子に流れる電流を一定とする電流調整回路と、を備えたことを特徴とする記録素子基板。

【請求項11】 前記複数の記録素子がブロックに分割され、各ブロック毎に前記スイッチ手段と、前記電流調整回路とを含むことを特徴とする請求項10に記載の記録素子基板。

【請求項12】 前記記録素子が電気熱変換体を含むことを特徴とする請求項10又は11に記載の記録素子基板。

【請求項13】 請求項10から12のいずれか1項に記載の記録素子基板を備えたことを特徴とする記録装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は定電流回路、記録素子基板及び記録装置に関し、特に、負荷に流れる電流を一定とすることのできる定電流回路、該回路を用いた記録素子基板及び記録装置に関する。

【0002】

【従来の技術】例えばワードプロセッサ、パーソナルコンピュータ、ファクシミリ等に於ける情報出力装置として、所望される文字や画像等の情報を用紙やフィルム等シート状の記録媒体に記録を行うプリンタが広く使用されている。

【0003】プリンタの記録方式としては様々な方式が知られているが、用紙等の記録媒体に非接触記録が可能

である、カラー化が容易である、静粛性に富む、等の理由でインクジェット方式が近年特に注目されており、又その構成としては所望される記録情報に応じてインクを吐出する記録ヘッドを装着すると共に用紙等の記録媒体の送り方向と交差する方向に往復走査しながら記録を行なうシリアル記録方式が安価で小型化が容易などの点から一般的に広く用いられている。

【0004】図3は、従来のインクジェットプリンタで使用される記録素子基板（ヒータボード）のヒータ駆動回路を部分的に示した等価回路図である。図において、301はインクを飛翔させるための熱エネルギーを発生するヒータ、302はヒータをON/OFFさせるスイッチとして働くパワートランジスタ、303はパワートランジスタのゲートに接続された、レベルシフトコンバータである。このレベルシフトコンバータは、ロジック系の低い信号レベルの入力を高い信号レベルに変換するものであり、その出力はパワートランジスタのゲートに入力されている。

【0005】また、304は3入力ANDゲートを示しており、その入力としては低い信号レベルの、HE（ヒートイネーブル）信号305と、2つのBlockセレクト信号306及び307（図中では2種類としてあるが、2より多い数であってもよい）と、1からnのBitセレクト信号309が入力され、それぞれのゲートに入力される信号全ての論理レベルがHの時に対応するヒータがONする。ヒータのONする時間はHE信号のパルス幅を調整することで任意に設定できるようになっており、HE信号はヒータボードに画像データを送るホスト側の装置によってコントロールされる。

【0006】また、ヒータはnBitを一つのブロックとし、数ブロック毎にまとめて配置されて時分割駆動されるが、このとき同じブロック内で隣接して配置されている複数のヒータを同時に駆動すると、インク滴が飛翔するときにインク液面に生じる揺らぎの影響によって安定したインク滴の飛翔ができず、記録画像の品位を損なうおそれがある。このため、同じブロック内では必ず一つのBitのヒータのみがONとなるように構成されている。

【0007】310はヒータに電力を供給するための電源電圧VHであり、311は電源電圧の配線に寄生する抵抗（RVH）を示している。同様に、312は電源電圧のGNDであり、313はGND配線に寄生する抵抗（RGND）を示している。

【0008】

【発明が解決しようとする課題】しかしながら、上述のような従来のヒータボードでは以下のような問題が生じる。

【0009】パワートランジスタをONさせた時にヒータに流れる電流は、ヒータの抵抗（RH）、電源配線抵抗（RVH）、GND配線抵抗（RGND）の全ての抵

抗と、パワートランジスタの静特性からなる動作点によって決まるが、各ブロックのヒータが全てONした時には、ヒータ電流がRHとRGNDに流入することにより電位を上昇させる。

【0010】例えば、Nブロック全てのヒータがONした時の配線抵抗成分の値を、1ブロックの場合に換算させて考えると、

$N(RVH + RGND)$

となり、RHに対して、配線抵抗成分（RVH+RGND）がN倍されて大きな値となる。一方、Nブロックのうち一つのブロックのヒータのみがONした場合の配線抵抗成分の値は、

$RVH + RGND$

となる。

【0011】従って、パワートランジスタのON抵抗値をRONとすると、ヒータ電流（IH）の値は、ワースト状態（Nブロック全てでヒータON）で、

$IH = VH / (RON + N(RVH + RGND))$

となり、ベスト状態（1ブロックのヒータのみON）で、

$IH = VH / (RON + RVH + RGND)$

と概算できる。

【0012】実際のヒータボードでは、ワースト状態でもヒータに所望の電力を供給できるように電源電圧VHをより高く設定しており、また、電源及びGNDの配線抵抗値を極力抑えるように設計している。しかしながら、この条件のままでベスト状態で駆動されると、ヒータには過剰な電力が供給されることになり、ヒータの寿命を損なう可能性がある。

【0013】近年は高速記録が要求されており、これを達成するために、単位時間内にONさせるヒータ数を増やす、つまりヒータBit数を増大させることが行われているが、これによって、ヒータボードのチップ面積が拡大している。

【0014】図5は、Bit数が多いヒータボードにおける配置例を示す図である。図中505はヒータボードであり、501は電源配線、502はGND配線、503はヒータである。図示されたように、ヒータ数が増えると、ヒータ503に電力を供給する電源配線501、GND配線502の抵抗値がさらに増大する傾向にあり、かつ、半導体回路内の相対誤差（素子間ベア性）が増大する傾向にある。

【0015】図6は、1Bitのヒータ駆動回路を示す図である。ヒータ電流IHの値は、NMOS静特性とヒータ抵抗RHと電源電圧VHから決定される。図7は、NMOSTランジスタの一般的な温度特性を示している。図中Temp1<Temp2<Temp3であり、温度が上昇すると共に電流駆動能力は低下する傾向を示す。従って、ヒータ電流IHも温度上昇に反比例し低下し（IH1>IH2>IH3）、これによりヒータの駆

動電力が低下して、十分な熱エネルギーが得られずに記録品位が損なわれる場合が生じる。

【0016】図8は、NMOSTランジスタの静特性を電源電圧 V_H の変動に伴う負荷線と共に示した図である。電源電圧の V_H の通常値を $V_H(\text{typ})$ 、その変動による最大値を $V_H(\text{max})$ 、最小値を $V_H(\text{min})$ とすると、対応するヒータ電流の値は、それぞれの負荷線から $I_H(\text{typ})$ 、 $I_H(\text{max})$ 、 $I_H(\text{min})$ となり、電源電圧 V_H の電圧変動によりヒータ電流 I_H が変動し、電源電圧 V_H が低い場合には、ヒータの駆動電力が低下して記録品位が損なわれる原因となる。一方、電源電圧 V_H が高い場合には、ヒータの駆動電力が過大となりヒータの寿命が損なわれる。このような不具合を回避するためには、バラツキの少ない高価な電源ユニットを別に設けて、安定した電源電圧 V_H を供給する必要がある。

【0017】このため、インクジェット記録用基板にMOSトランジスタにより構成された定電流源を設けることが提案されている。しかしながら、いずれも図4に示すような、トランジスタのソースドレイン間電圧(V_{DS})に比例してドレイン電流(I_{DS})も変動するアーリー効果の影響により、負荷の抵抗値が変動すれば所望の電流を流すことは不可能である。なお、定電流回路がバイポーラトランジスタで構成される場合も同様であることは言うまでもない。

【0018】以上述べたことをまとめると、ヒータボードに関して以下のような問題がある。

【0019】1. 画像データによって、ヒータに過剰な電力が供給される場合があり、これによりヒータの寿命が低下する。

【0020】2. ヒータのビット数を増大させると素子間ベア性が悪化する傾向にあり、ヒータ電流にばらつきが生じて、記録画像にばらつきが生じる原因となる。

【0021】3. ヒータを駆動するNMOSTランジスタの静特性に温度変化があり、その影響でヒータに十分な電力を供給できず、記録品位が低下する場合がある。

【0022】4. ヒータに供給される電力のばらつきを小さくするためには、電源電圧のばらつきの範囲が狭い高価な電源ユニットが必要となる。

【0023】5. 従来の定電流駆動回路においては、トランジスタのアーリー効果の影響により、所望の電流をヒータに流すことが出来ない。

【0024】このような問題は、インクジェット記録装置のヒータボードに限ったことではなく、様々なタイプの記録素子、任意の抵抗素子、及び電荷注入量に応じて発光量を制御される素子つまり電流によって制御される素子(LED、有機EL等)を負荷として駆動する場合にも同様な問題が生じる。

【0025】本発明は以上のような状況に鑑みてなされたものであり、温度変化や駆動素子の特性に影響され

ず、負荷に流れる電流を一定とすることのできる定電流回路、記録素子基板及び記録装置を提供することを目的とする。

【0026】

【課題を解決するための手段】上記の目的を達成するために本発明の定電流回路は、負荷と、前記負荷に直列に接続された駆動用トランジスタと、定電流源と、ソースが前記定電流源に接続され、ゲートが前記負荷の一端及び前記駆動用トランジスタのドレインに接続された第1のトランジスタと、ゲート及びドレインが前記第1のトランジスタのドレイン及び前記駆動用トランジスタのゲートに接続された第2のトランジスタとを含み、ソースが前記定電流源及び前記第1のトランジスタのソースに接続された第3のトランジスタと、ドレインが前記第3のトランジスタのゲート及びドレインに接続され、ゲートが前記第2のトランジスタのゲート及びドレイン、前記駆動用トランジスタのゲートに接続された第4のトランジスタとを含み、前記駆動トランジスタのドレイン電位と第4のトランジスタのドレイン電位が実質的に同じになるように、前記駆動トランジスタのゲートと第4トランジスタのゲート電位を共通に制御して、前記負荷に流れる電流を一定とする電流調整回路と、を備えている。

【0027】また、上記目的を達成する本発明の記録素子基板は、複数の記録素子と、各記録素子に対応して設けられ、それぞれの記録素子を駆動する前記複数の駆動用トランジスタと、選択された記録素子に対応する駆動用トランジスタを通电させるスイッチ手段と、定電流源と、ソースが前記定電流源に接続され、ゲートが前記スイッチ手段を介して選択された記録素子の一端及び該記録素子に対応する駆動用トランジスタのドレインに接続される第1のトランジスタと、ゲート及びドレインが前記スイッチ手段を介して前記第1のトランジスタのドレイン及び前記選択された記録素子に対応する駆動用トランジスタのゲートに接続される第2のトランジスタとを含み、ソースが前記定電流源及び前記第1のトランジスタのソースに接続された第3のトランジスタと、ドレインが前記第3のトランジスタのゲート及びドレインに接続され、ゲートが前記第2のトランジスタのゲート及びドレイン、前記駆動用トランジスタのゲートに接続された第4のトランジスタとを含み、前記選択された記録素子に対応し、前記駆動トランジスタのドレイン電位と第4のトランジスタのドレイン電位が実質的に同じになるように、前記駆動トランジスタのゲートと第4トランジスタのゲート電位を共通に制御して、前記選択された記録素子に流れる電流を一定とする電流調整回路と、を備えている。

【0028】このようにすると、電源として出力電圧の変動の少ない高価な電源を用いることなく、駆動用トランジスタの温度特性や配線抵抗の影響によって負荷に流

れる電流が変動することを防止できる。

【0029】従って、記録素子基板に適用した場合には、記録素子の駆動条件が安定するので記録素子の寿命を延ばすことが可能となると共に、各記録素子による記録特性が均一化されてより高品位な画像の記録が可能になる。また、このような記録素子基板は既存の半導体製造プロセスで製造できるので、全体としてコストダウンを達成することができる。

【0030】

【発明の実施の形態】以下添付図面を参照して本発明の好適な実施形態について詳細に説明する。

【0031】なお、以下に説明する実施形態では、本発明に係る定電流回路をインクジェット記録方式を用いた記録装置（プリンタ）の記録素子基板（ヒータボード）に適用した場合を例に挙げて説明する。

【0032】本明細書において、「記録」（「プリント」という場合もある）とは、文字、図形等有意の情報を形成する場合のみならず、有意無意を問わず、また人間が視覚で知覚し得るように顕在化したものであるか否かを問わず、広く記録媒体上に画像、模様、パターン等を形成する、または媒体の加工を行う場合も表すものとする。

【0033】また、「記録媒体」とは、一般的な記録装置で用いられる紙のみならず、広く、布、プラスチック・フィルム、金属板、ガラス、セラミックス、木材、皮革等、インクを受容可能なものも表すものとする。

【0034】さらに、「インク」（「液体」と言う場合もある）とは、上記「記録（プリント）」の定義と同様広く解釈されるべきもので、記録媒体上に付与されることによって、画像、模様、パターン等の形成または記録媒体の加工、或いはインクの処理（例えば記録媒体に付与されるインク中の色剤の凝固または不溶化）に供され得る液体を表すものとする。また、以下に用いる「素子基体」という語は、シリコン半導体からなる単なる基体を指し示すものではなく、各素子や配線などが設けられた基体を示すものである。

【0035】さらに、以下の説明で用いる「素子基体上」という表現は、単に素子基体の上を指し示すだけでなく、素子基体の表面、表面近傍の素子基体内部側をも示すものである。また、本発明でいう「作りこみ（ビルトイン(built-in))」とは、別体の各素子を単に基体上に配置することを指し示している言葉ではなく、各素子を半導体回路の製造工程などによって素子基体上に一体的に形成、製造することを示すものである。

【0036】[第1の実施形態] 始めに、記録装置の代表的な全体構成および制御構成について説明する。

【0037】<装置本体>図11は、代表的なインクジェットプリンタIJRAの構成の概要を示す外観斜視図である。図11において、駆動モータ5013の正逆回転に連動して駆動力伝達ギア5009～5011を介し

て回転するリードスクリュー5005の螺旋溝5004に対して係合するキャリッジHCはピン（不図示）を有し、ガイドレール5003に支持されて矢印a、b方向を往復移動する。キャリッジHCには、記録ヘッドIJHとインクタンクITとを内蔵した一体型インクジェットカートリッジIJCが搭載されている。

【0038】5002は紙押え板であり、キャリッジHCの移動方向に互って記録用紙Pをプラテン5000に対して押圧する。5007、5008はフォトカブラで、キャリッジのレバー5006のこの域での存在を確認して、モータ5013の回転方向切り換え等を行うためのホームポジション検知器である。

【0039】5016は記録ヘッドIJHの前面をキャップするキャップ部材5022を支持する部材で、5015はこのキャップ内を吸引する吸引器で、キャップ内開口5023を介して記録ヘッドの吸引回復を行う。5017はクリーニングブレードで、5019はこのブレードを前後方向に移動可能にする部材であり、本体支持板5018にこれらが支持されている。ブレードは、この形態でなく周知のクリーニングブレードが本例に適用できることは言うまでもない。

【0040】又、5021は、吸引回復の吸引を開始するためのレバーで、キャリッジと係合するカム5020の移動に伴って移動し、駆動モータからの駆動力がクラッチ切り換え等の公知の伝達機構で移動制御される。

【0041】これらのキャッピング、クリーニング、吸引回復は、キャリッジがホームポジション側の領域に来た時にリードスクリュー5005の作用によってそれらの対応位置で所望の処理が行えるように構成されているが、周知のタイミングで所望の動作を行うようにすれば、本例にはいずれも適用できる。

【0042】<制御構成>次に、上述した装置の記録制御を実行するための制御構成について説明する。

【0043】図12はインクジェットプリンタIJRAの制御回路の構成を示すブロック図である。制御回路を示す同図において、1700は記録信号を入力するインターフェース、1701はMPU、1702はMPU1701が実行する制御プログラムを格納するROM、1703は各種データ（上記記録信号やヘッドに供給される記録データ等）を保存しておくDRAMである。1704は記録ヘッドIJHに対する記録データの供給制御を行うゲートアレイ（G. A.）であり、インターフェース1700、MPU1701、RAM1703間のデータ転送制御も行う。1710は記録ヘッドIJHを搬送するためのキャリアモータ、1709は記録紙搬送のための搬送モータである。1705は記録ヘッドを駆動するヘッドドライバ、1706、1707はそれぞれ搬送モータ1709、キャリアモータ1710を駆動するためのモータドライバである。

【0044】上記制御構成の動作を説明すると、インタ

ーフエース1700に記録信号が入るとゲートアレイ1704とMPU1701との間で記録信号がプリント用の記録データに変換される。そして、モータドライバ1706、1707が駆動されると共に、ヘッドドライバ1705に送られた記録データに従って記録ヘッドが駆動され、記録が行われる。

【0045】ここでは、MPU1701が実行する制御プログラムをROM1702に格納するものとしたが、EEPROM等の消去/書き込みが可能な記憶媒体を更に追加して、インクジェットプリンタIJRAと接続されたホストコンピュータから制御プログラムを変更できるように構成することもできる。

【0046】なお、上述のように、インクタンクITと記録ヘッドIJHとは一体的に形成されて交換可能なインクカートリッジIJCを構成しても良いが、これらインクタンクITと記録ヘッドIJHとを分離可能に構成して、インクがなくなったときにインクタンクITだけを交換できるようにしても良い。

【0047】＜インクカートリッジ＞図13は、インクタンクとヘッドとが分離可能なインクカートリッジIJCの構成を示す外観斜視図である。インクカートリッジIJCは、図13に示すように、境界線Kの位置でインクタンクITと記録ヘッドIJHとが分離可能である。インクカートリッジIJCにはこれがキャリッジHCに搭載されたときには、キャリッジHC側から供給される電気信号を受け取るための電極（不図示）が設けられており、この電気信号によって、前述のように記録ヘッドIJHが駆動されてインクが吐出される。

【0048】なお、図13において、500はインク吐出口列である。また、インクタンクITにはインクを保持するために繊維質状もしくは多孔質状のインク吸収体が設けられている。

【0049】＜定電流回路＞図1は、本発明による定電流回路の第1の実施形態を示す回路図である。図中101はヒータ抵抗、102はヒータに電流を通電させるNMOSTランジスタ、103は定電流源、104及び105はPMOSTランジスタ、106及び107はNMOSTランジスタである。

【0050】定電流源103はヒータの電源VHと共通でも別でもよいが、ここで示した例では別構成としている。NMOSTランジスタ102はサイズがNMOSTランジスタ106及び107のn倍であり、ヒータ電流は電流源103の電流2Iに対してnIである。PMOSTランジスタ104及び105はPMOS差動対を構成し、それぞれのソースは定電流源103の出力に共通に接続され、それぞれのドレインはカレントミラー回路を構成するNMOSTランジスタ106及び107のドレインにそれぞれ接続されている。

【0051】PMOSTランジスタ104のゲートは、ヒータ101とNMOSTランジスタ102のドレイン

に共通接続され、NMOSTランジスタ102のソースドレイン間電圧(VDS)をモニタしている。PMOSTランジスタ105のゲートは、PMOSTランジスタ105のドレインとNMOSTランジスタ107のドレインとに共通に接続されている。NMOSTランジスタ107のゲートは、NMOSTランジスタ106のゲート及びドレインに共通に接続されている。

【0052】以下、このような定電流回路の動作について説明する。ここで、PMOSTランジスタ104のゲート電位をV1、PMOSTランジスタ105のゲート電位をV2として、V1とV2との大小関係に関連して説明する。

【0053】V1>V2の場合：PMOS104のゲート電位に比べてPMOS105のゲート電位が低い為に、PMOS105に流れる電流がPMOS104に流れる電流より多くなる。次に各PMOSからの電流はNMOS106及び107のドレインにそれぞれ流入し、NMOS106のドレインに流れる電流がNMOS107のゲートにも流れるため、NMOS107とPMOS105のドレイン電位が上昇する。そして、そのドレインに接続されているPMOS105のゲートの電位、すなわちV2が上昇する。

【0054】V1<V2の場合：PMOS104のゲート電位が低いので、ドレイン電流がPMOS105ドレイン電流より多く流れる、NMOS106及び107のカレントミラー回路によってNMOS107のドレイン電位が低下し、PMOS105のゲート電位、すなわちV2が低下する。

【0055】このような一連の動作によって、V1=V2となって回路はバランス状態となる。このときにNMOS106及び107には定電流Iがそれぞれ流れる。

【0056】NMOS104のゲートは、NMOS102のドレインに接続されているので、NMOS107のドレイン電圧は、NMOS102のドレイン電圧と等しくなる。そして、NMOS102のゲートはNMOS106及び107のゲートと共通に接続されており、NMOS106及び107のサイズをn倍したNMOS102には電流nIが流れることになる。

【0057】このように本実施形態の定電流回路によれば、図4に示したような、接続された負荷の抵抗値に応じたMOSTランジスタのアーリー効果による電流のアンバランスがなく、かつ、配線抵抗による影響がなくなり、ヒータに所望の電流を流すことが出来る。

【0058】配線抵抗による影響がないということは、ヒータと駆動回路とを分離し、両者をワイヤーボンディングや熱融着によって接続した場合の接触抵抗による影響を無くす事が出来る事を意味し、安価な材料上にヒータを分離して形成し、後で駆動回路と接続させるようにすることで更なるコストダウンを行うことが出来る。

【0059】＜ヒータボード＞図2は、図1の定電流回

路を用いたヒータボードの具体的な回路図を示している。図2において、図1と同様な部分には同じ符号を付して説明を省略する。

【0060】ここでは2つのブロックだけが示されているが、各ブロック200毎に、図1に示す定電流回路を含む駆動回路部201と、 $N (=32)$ 個のヒータを含むヒータ部202がある。

【0061】NMOS108はロジックデータによってON/OFFするセレクトスイッチであり、NMOS102のドレイン電圧をモニタする。NMOS109は同じくロジックデータによってON/OFFするセレクトスイッチであり、NMOS102のゲート電位をコントロールする。PMOS110は、駆動させたくないヒータや動作させたくないタイミングにおいて、ヒータに電流を流させないようにNMOS102のゲート電位をローレベルに固定させる。

【0062】111はAND回路であり、第1のBlockセレクト信号113（この場合1であるが、所望のブロックを任意に選択すればよい）、第1のBitセレクト信号115（この場合1であるが、所望のBitを任意に選択すればよい、また図ではBitセレクト信号は $1 \sim n = 32$ までの場合を示している）、HE信号112の全てがハイレベルの時に初めて出力をローレベルからハイレベルに切り換えて、NMOS108及び109をONにすると共に、PMOS110をOFFにして、ヒータに所望の電流を通电させる。任意のヒータをONさせるには $1 \sim n$ のBitセレクト信号のうち一つだけをハイレベルにすればよい。

【0063】118は電源配線に寄生する配線抵抗 R_VH 、119はGND配線に寄生する配線抵抗 R_{GND} をそれぞれ示しているが、ヒータには定電流が流れるので、これらの配線抵抗に起因する電圧降下によってヒータに供給される電力の低下がなく、またこれを防止するために、過剰にヒータに電力を供給する必要がない。

【0064】前述したように、高速記録に対応させるために、ヒータBit数を増加させてヒータボードのチップ面積を増大すると、ヒータボード内の素子間ばらつきは大きくなる傾向がある。一般的に、半導体回路は小さい面積内に回路素子を形成することで、その素子間の相対的ばらつきが出にくいと認識されているが、チップの面積化に伴い、素子間の相対性（ベア性）が低下する。

【0065】特に、ヒータボードにおいては、NMOSトランジスタ102はヒータに大電流（100mAオーダー）を流すために、 W/L （ W ：ゲート幅、 L ：ゲート長）が大きく設定されるためベア性のミスマッチを起こしやすい。例えば、600dpi間隔（ $42.5 \mu m$ ）で256Bitのヒータが配置されているヒータボードの場合、NMOSトランジスタ102の群の長さが、 $42.5 \mu m \times 256 = 10.88 mm$ にまで及

ぶ。

【0066】図9は、本実施形態の定電流回路を用いたヒータボードの配置例を示す図である。図中1000はヒータボードであり、1001は電源配線、1002はGND配線、1003はヒータである。図示されたように、ヒータをブロック毎に分割・制御するべく、各ブロック毎に定電流回路1004が設けられている。このため、例えば、ヒータ数を32Bitで一つのブロックを構成すると、各ブロックのNMOSトランジスタ102の群の長さは、 $42.5 \mu m \times 32 = 1.36 mm$ となり、素子間のベア性を確保するのが容易となる。なお、ブロック内のヒータBit数をより少なくすれば、ベア性がより向上することは言うまでもない。

【0067】以上説明したように本実施形態によれば、大面積のヒータボードを小さい面積毎（ブロック毎）に分割して定電流駆動を行うことで、ブロック内のベア性を確保しながら、ヒータに所望の電流を流すことが出来る。

【0068】また、記録速度をより一層向上させる為にヒータBit数を増やした場合、ヒータボード内では電力及びGND配線が更に長くなり、配線抵抗値を増大させることとなるが、これ防止するために、配線材をAlからCuに変更して比抵抗を低下させるように半導体プロセス工程を追加する方法が知られているが、本実施形態の定電流回路を用いれば、既存の安価なAl配線プロセスで容易に構成できる。

【0069】電源電圧の変動によるヒータ電流の変動が生じないので、電源電圧としてばらつきの少ない高価な電源ユニットを必要としない。

【0070】ヒータを駆動するNMOSトランジスタの温度上昇に伴う電流駆動能力の低下に対して、所望の電流になるようにゲート電圧をフィードバック制御するため、ヒータ電流に温度による変動がない。

【0071】本実施形態の定電流回路を、駆動トランジスタの動作条件をサンプル回路で再現して電流値を高精度に制御するOPアンプを用いて構成することも出来るが、このようにすると、OPアンプとその周辺回路の分だけチップ数が増加する。しかしながら本実施形態の構成によれば、少ない素子数でヒータを定電流駆動することが実現できる。

【0072】[変形例1] 上記第1の実施形態の変形例として、トランジスタ102のソースを電源VHに接続し、ヒータ101の一端をトランジスタ102のドレインに接続し、他端をGNDに接続する構成も考えられる。

【0073】この場合、図1においてP型として示されているトランジスタ（104、105）はN型のトランジスタとなり、N型として示されているトランジスタ（102、106、107）はP型のトランジスタとなり、定電流源103とこれらトランジスタ（104～1

07)との接続も、GNDとトランジスタ104(及び105)のソースとの間に定電流源が設けられ、トランジスタ106(及び107)のソースが電源に接続される。

【0074】このような構成においても上記第1の実施形態と同様に機能し、同様な効果が得られる。

【0075】[変形例2]上記第1の実施形態、およびそれらの変形例において、N型MOSトランジスタはNPバイポーラトランジスタ、P型MOSトランジスタはPNPトランジスタに置き換え、MOSトランジスタのゲートをバイポーラトランジスタのベース、ドレインをコレクタ、ソースをエミッタに対応させれば、バイポーラトランジスタで構成した回路が同様な動作をすることは言うまでもない。

【0076】[他の実施形態]以上説明した実施形態においては、本発明に係る定電流回路をインクジェットプリンタのヒータボードに適用した場合について説明したが、本発明に係る定電流回路は、インクジェットプリンタのヒータのみならず、様々なタイプの記録素子、任意の抵抗素子、及び電流によって制御される素子(LED、有機EL等)の駆動制御にも同様に使用できることは言うまでもない。

【0077】一例として、図10に有機EL素子を使ったアクティブマトリックス駆動回路の一部を示している。図10は図1に示した定電流回路を用いている。

【0078】以上の実施形態は、特にインクジェット記録方式の中でも、インク吐出を行わせるために利用されるエネルギーとして熱エネルギーを発生する手段(例えば電気熱変換体やレーザ光等)を備え、前記熱エネルギーによりインクの状態変化を生起させる方式を用いることにより記録の高密度化、高精細化が達成できる。

【0079】その代表的な構成や原理については、例えば、米国特許第4723129号明細書、同第4740796号明細書に開示されている基本的な原理を用いて行うものが好ましい。この方式はいわゆるオンデマンド型、コンティニュアス型のいずれにも適用可能であるが、特に、オンデマンド型の場合には、液体(インク)が保持されているシートや液路に対応して配置されている電気熱変換体に、記録情報に対応して核沸騰を越える急速な温度上昇を与える少なくとも1つの駆動信号を印加することによって、電気熱変換体に熱エネルギーを発生せしめ、記録ヘッドの熱作用面に膜沸騰を生じさせて、結果的にこの駆動信号に1対1に対応した液体(インク)内の気泡を形成できるので有効である。

【0080】この気泡の成長、収縮により吐出用開口を介して液体(インク)を吐出させて、少なくとも1つの滴を形成する。この駆動信号をパルス形状とすると、即時適切に気泡の成長収縮が行われるので、特に応答性に優れた液体(インク)の吐出が達成でき、より好ましい。

【0081】このパルス形状の駆動信号としては、米国特許第4463359号明細書、同第4345262号明細書に記載されているようなものが適している。なお、上記熱作用面の温度上昇率に関する発明の米国特許第4313124号明細書に記載されている条件を採用すると、さらに優れた記録を行うことができる。

【0082】記録ヘッドの構成としては、上述の各明細書に開示されているような吐出口、液路、電気熱変換体の組み合わせ構成(直線状液流路または直角液流路)の他に熱作用面が屈曲する領域に配置されている構成を開示する米国特許第4558333号明細書、米国特許第4459600号明細書に記載された構成も本発明に含まれるものである。加えて、複数の電気熱変換体に対して、共通するスロットを電気熱変換体の吐出部とする構成を開示する特開昭59-123670号公報や熱エネルギーの圧力波を吸収する開口を吐出部に対応させる構成を開示する特開昭59-138461号公報に基づいた構成としても良い。

【0083】さらに、記録装置が記録できる最大記録媒体の幅に対応した長さを有するフルラインタイプの記録ヘッドとしては、上述した明細書に開示されているような複数記録ヘッドの組み合わせによってその長さを満たす構成や、一体的に形成された1個の記録ヘッドとしての構成のいずれでもよい。

【0084】加えて、上記の実施形態で説明した記録ヘッド自体に一体的にインクタンクが設けられたカートリッジタイプの記録ヘッドのみならず、装置本体に装着されることで、装置本体との電気的な接続や装置本体からのインクの供給が可能になる交換自在のチップタイプの記録ヘッドを用いてもよい。

【0085】また、以上説明した記録装置の構成に、記録ヘッドに対する回復手段、予備的な手段等を付加することは記録動作を一層安定にできるので好ましいものである。これらを具体的に挙げれば、記録ヘッドに対してのキャッピング手段、クリーニング手段、加圧あるいは吸引手段、電気熱変換体あるいはこれとは別の加熱素子あるいはこれらの組み合わせによる予備加熱手段などがある。また、記録とは別の吐出を行う予備吐出モードを備えることも安定した記録を行うために有効である。

【0086】さらに、記録装置の記録モードとしては黒色等の主流色のみの記録モードだけではなく、記録ヘッドを一体的に構成するか複数個の組み合わせによってでも良いが、異なる色の複色カラー、または混色によるフルカラーの少なくとも1つを備えた装置とすることもできる。

【0087】以上説明した実施の形態においては、インクが液体であることを前提として説明しているが、室温やそれ以下で固化するインクであっても、室温で軟化もしくは液化するものを用いても良く、あるいはインクジェット方式ではインク自体を30°C以上70°C以下

の範囲内で温度調整を行ってインクの粘性を安定吐出範囲にあるように温度制御するものが一般的であるから、使用記録信号付与時にインクが液状をなすものであればよい。

【0088】加えて、積極的に熱エネルギーによる昇温をインクの固形状態から液体状態への状態変化のエネルギーとして使用せしめることで積極的に防止するため、またはインクの蒸発を防止するため、放置状態で固化し加熱によって液化するインクを用いても良い。いずれにしても熱エネルギーの記録信号に応じた付与によってインクが液化し、液状インクが吐出されるものや、記録媒体に到達する時点では既に固化し始めるもの等のような、熱エネルギーの付与によって初めて液化する性質のインクを使用する場合も本発明は適用可能である。

【0089】このような場合インクは、特開昭54-56847号公報あるいは特開昭60-71260号公報に記載されるような、多孔質シート凹部または貫通孔に液状または固形物として保持された状態で、電気熱変換体に対して対向するような形態としてもよい。本発明においては、上述した各インクに対して最も有効なものは、上述した膜沸騰方式を実行するものである。

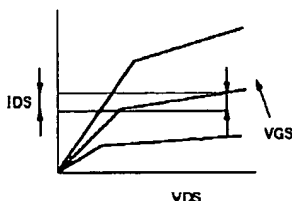
【0090】さらに加えて、本発明に係る記録装置の形態としては、コンピュータ等の情報処理機器の画像出力端末として一体または別体に設けられるものの他、リーダ等と組み合わせた複写装置、さらには送受信機能を有するファクシミリ装置の形態を取るものであっても良い。

【0091】

【発明の効果】以上説明したように本発明によれば、電源として出力電圧の変動の少ない高価な電源を用いることなく、駆動用トランジスタの温度特性や配線抵抗の影響によって負荷に流れる電流が変動することを防止できる。

【0092】従って、本発明を記録素子基板に適用した場合には、記録素子の駆動条件が安定するので記録素子の寿命を延ばすことが可能となると共に、各記録素子による記録特性が均一化されてより高品位な画像の記録が可能になる。また、このような記録素子基板は既存の半導体製造プロセスで製造できるので、全体としてコストダウンを達成することができる。

【図4】



【図面の簡単な説明】

【図1】本発明の定電流回路の第1の実施形態を示す回路図である。

【図2】図1の回路を用いたヒータボードの具体的回路図である。

【図3】従来のヒータボードのヒータ駆動回路を部分的に示した等価回路図である。

【図4】トランジスタのソースドレイン間電圧 (V_{DS}) に比例してドレイン電流 (I_{DS}) も変動するアーリー効果を示すグラフである。

【図5】Bit数が多いヒータボードにおける配置例を示す図である。

【図6】従来技術による1Bitのヒータ駆動回路を示す図である。

【図7】NMOSTランジスタの一般的な温度特性を示すグラフである。

【図8】NMOSTランジスタの静特性を電源電圧 V_H の変動に伴う負荷線と共に示した図である。

【図9】図1の定電流回路を用いたヒータボードの配置例を示す図である。

【図10】図1の定電流駆動をアクティブマトリックス駆動に応用した例を示した図である。

【図11】本発明の好適な実施形態を適用するプリンタの外観を示す図である。

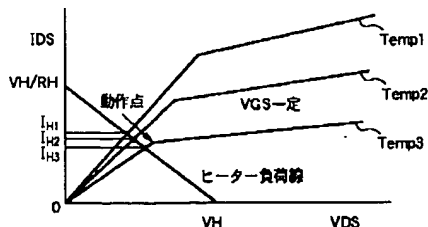
【図12】図11のプリンタの制御構成を示すブロック図である。

【図13】図11のプリンタのインクジェットカートリッジを示す図である。

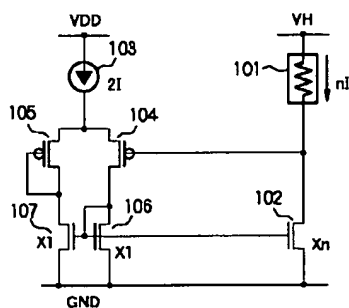
【符号の説明】

- 101 ヒータ
- 102 駆動用NMOSTランジスタ
- 103 定電流源
- 104、105、110 PMOSTランジスタ
- 106、107、108、109 NMOSTランジスタ
- 111 AND回路
- 117 ヒータ電源
- 118 電源配線寄生抵抗
- 119 GND配線寄生抵抗
- 120 GND

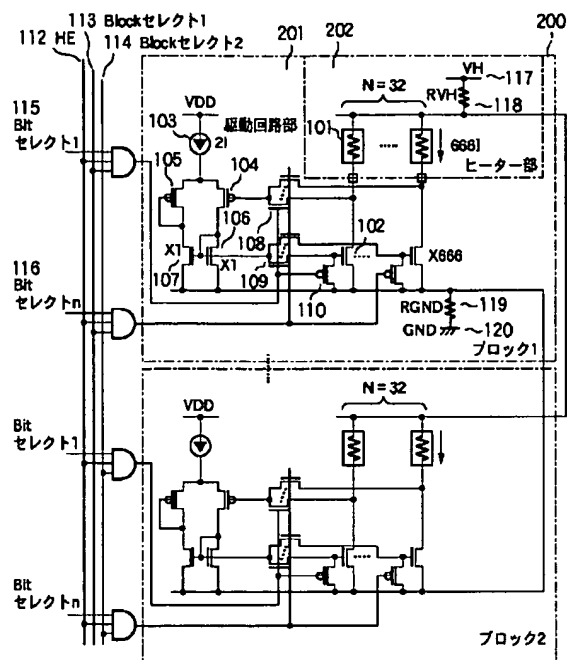
【図7】



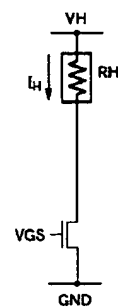
【図1】



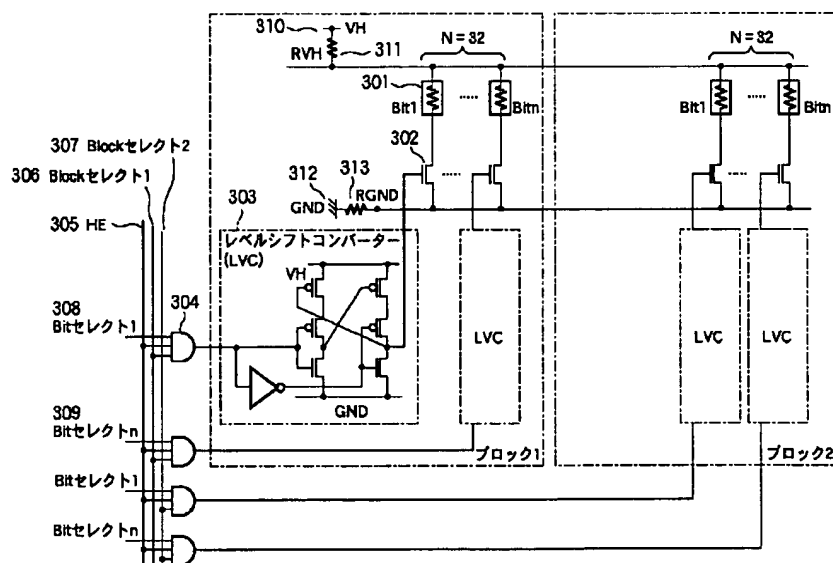
【図2】



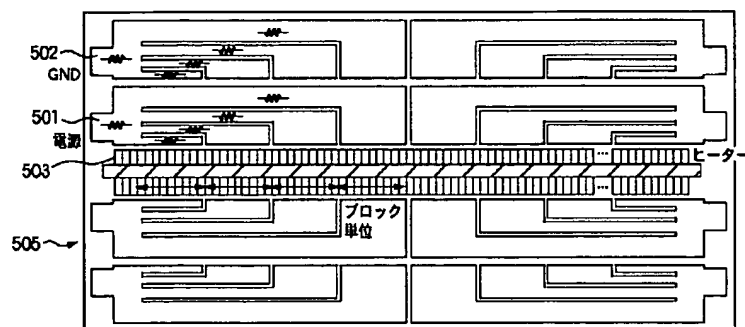
【図6】



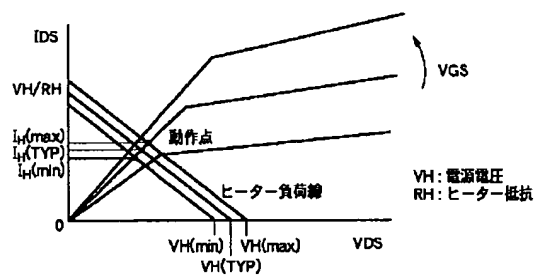
【図3】



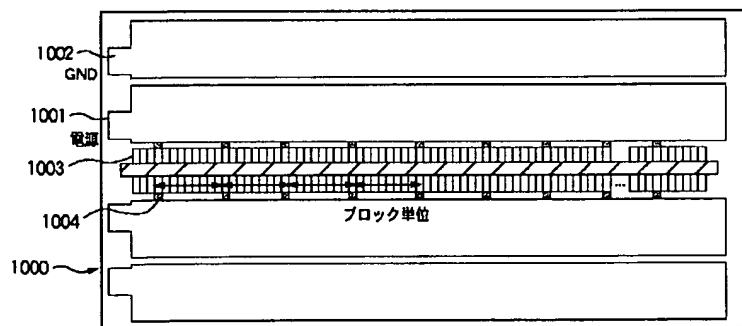
【図5】



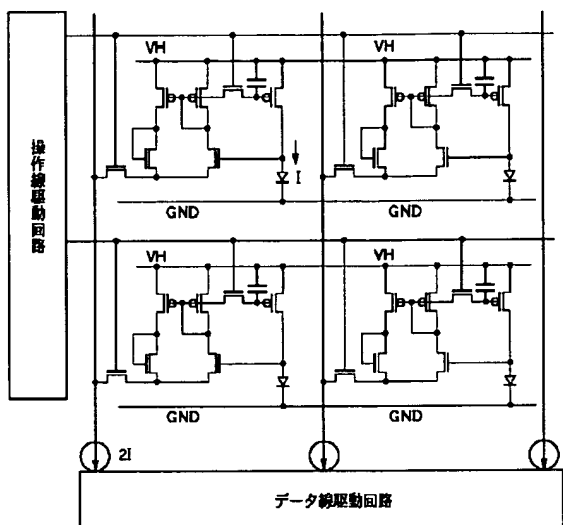
【図8】



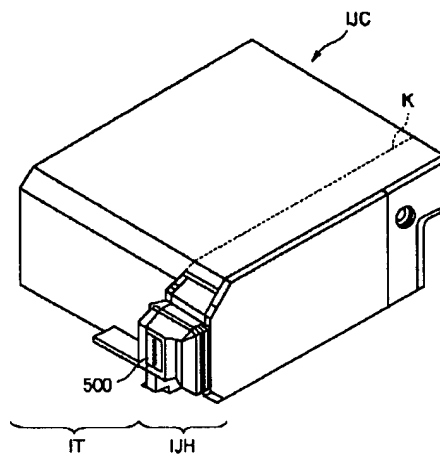
【図9】



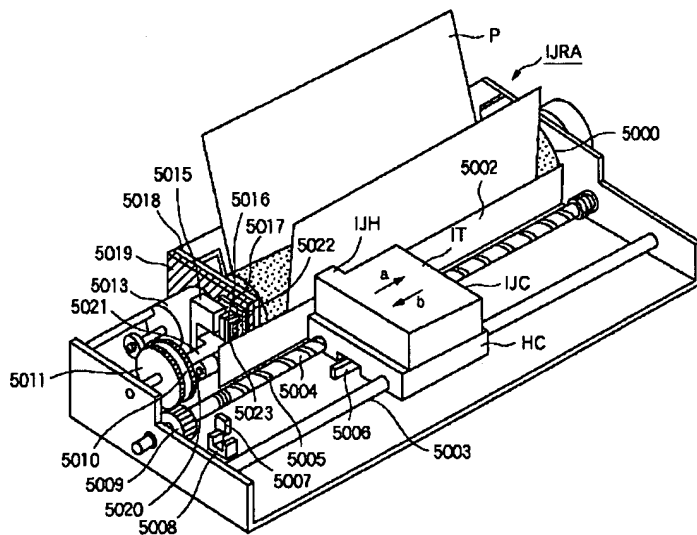
【図10】



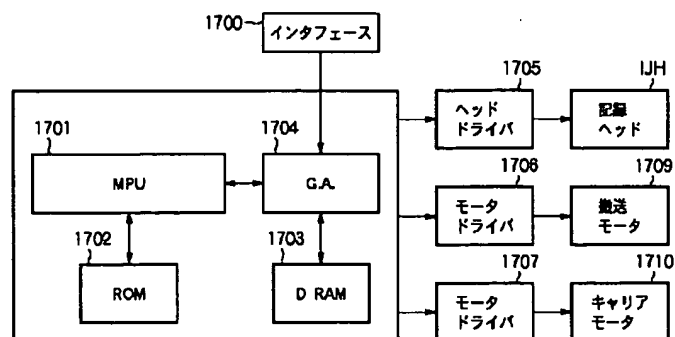
【図13】



【図11】



【図12】



フロントページの続き

(72)発明者 大村 昌伸
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

Fターム(参考) 2C056 EA04 EA21 FA03 FA10 HA51
5H420 BB02 BB13 CC02 DD02 EA11
EA14 EA18 EA24 EA39 EA42
EB01 EB15 EB37 FF04 FF25
NA16 NA17 NA23 NA28 NA32
NB03 NB12 NB18 NB20 NB22
NB23 NB31 NB36 NC02 NC12
NC15 NC19 NC23 NC27 NE23
5H430 BB01 BB05 BB09 BB12 CC06
EE02 EE06 EE07 EE12 FF07
GG11 HH03 LA21
5J055 AX15 BX16 CX00 DX13 DX22
EY21 EZ03 EZ04 EZ08 FX04
FX12 GX01 GX09
5J090 AA01 AA59 CA02 CA15 CA91
CN02 FA02 FN01 HA10 HA17
HA19 HA25 HA29 KA00 KA05
KA09 KA33 MA21 QA04 TA01
TA02